

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 58-186959

(43)Date of publication of application : 01.11.1983

(51)Int.Cl.

H01L 27/04  
H01L 23/56  
// H01L 29/72

(21)Application number : 57-069982

(71)Applicant : NEC CORP

(22)Date of filing : 26.04.1982

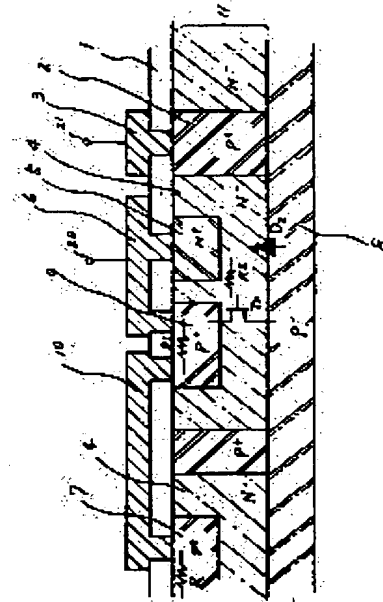
(72)Inventor : YAMAZAKI TAKASHI

## (54) SEMICONDUCTOR DEVICE

## (57)Abstract:

**PURPOSE:** To improve electrostatic breakdown withstand voltage of a semiconductor device without increasing the area of a chip by forming the same conductive type high density impurity resistance region as a substrate in a low density impurity region, and forming the same electrode as the high density impurity region on the resistance region, thereby constructing to employ a diode and a transistor in parallel with each other.

**CONSTITUTION:** When an electrostatic pulse is applied so that a terminal 20 becomes negative voltage and a terminal 21 becomes positive voltage, a forward current  $I$  flows to diode D2, a transistor Tr becomes active state, and a current  $I_T$  flows. At this time, a current which flows through the diode D2 decreases, thereby preventing the concentration of the current to the diode D2. On the other hand, since a transistor operation is performed, carrier injection occurs over wide range of junction surface with an N- type insular region 4 in a P+ type region 9, a thermal damage does not occur. Further, since the region 9 operates as a resistor even for an internal circuit C, the voltage which is applied to aluminum electrode wirings 10 decreased lower than the conventional product, thereby enhancing the protecting capacity of an internal element.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2000 Japan Patent Office

BEST AVAILABLE COPY

⑪ 日本国特許庁 (JP)  
⑫ 公開特許公報 (A)

⑬ 特許出願公開  
昭58—186959

⑭ Int. Cl.<sup>3</sup>  
H 01 L 27/04  
23/56  
// H 01 L 29/72

識別記号

庁内整理番号  
8122—5F  
6851—5F  
7514—5F

⑮ 公開 昭和58年(1983)11月1日

発明の数 1  
審査請求 未請求

(全 3 頁)

⑯ 半導体装置

東京都港区芝五丁目33番1号日  
本電気株式会社内

⑰ 特 願 昭57—69982

⑱ 出 願 人 日本電気株式会社

⑲ 出 願 昭57(1982)4月26日

東京都港区芝5丁目33番1号

⑳ 発 明 者 山崎孝志

㉑ 代 理 人 弁理士 内原晋

明 細 書

1. 発明の名称

半導体装置

2. 特許請求の範囲

一導電型の第1半導体層と他導電型の第2半導体層とのPN接合によるダイオードと、前記第1および第2半導体層ならびに前記第2半導体層内に形成された一導電型の半導体領域により構成されるトランジスタとを有して構成された異常入力に対する破壊防止回路を具備することを特徴とする半導体装置。

3. 発明の詳細な説明

本発明は、半導体装置、特に半導体集積回路内に使用される静電破壊防止用ダイオードの改良に関するものであり、例えばバイポーラトランジスタとMOSトランジスタが混在するようない導電型半導体基板上に他導型の低濃度不純物層を形成

してこれに素子領域を設けた半導体集積回路に対して、特に有効な静電破壊防止構成に関する。

従来、この種の半導体集積回路内に使用される静電破壊防止用ダイオードは、一導電型の半導体基板上に他の導電型の低濃度不純物層を形成し、更にその低濃度不純物層にこれと同導電型の高濃度不純物領域を設け、そこに電極を形成して半導体基板と低濃度不純物層とでダイオードを構成している。更に、内部素子へは、高濃度不純物領域の拡散配線または電極部からのアルミニウム等の導体配線等で行っており、この電極部—基板間に印加された静電パルスを低濃度不純物層と基板とで形成されるダイオードによって吸収して内部回路の破壊を防いでいた。

ところが、このダイオードが順バイアスされる様な静電パルスが印加された場合、高濃度不純物領域に設けられた電極部のコーナーエッチや基板との接合部コーナーエッチで電流の集中による熱発生が生じ、この為に不純物領域が溶解あるいは接合破壊等を生じた。

本発明の目的は静電パルスによる電流集中を避け、熱破壊を生ずる事なく、更に内部回路の保護能力をも向上させた静電破壊防止対策を有する半導体装置を提供する事にある。

この様な目的を達成するために、本発明による半導体装置は、低濃度不純物領域中に基板と同じ導電型の高濃度不純物抵抗領域を形成し、この上にも高濃度不純物領域と同じ電極を設け、これによってダイオードとトランジスタを並用する様に構成したものであり、以下に図面を用いて本発明を詳細に説明する。

第1図は従来の静電破壊防止対策を有する半導体装置を示すものであって、図面(a)がその等価回路図を、同図(b)がその構造断面図をそれぞれ示す。すなわち、無積回路化された半導体装置50は、入力端子20、接地端子21および電極端子22を少なくとも有する。端子22-21間に内部回路30のための動作電圧が供給され、端子20へは内部回路30へ供給される入力信号が印加される。ダイオードD1が端子20-21間に接続さ

ると、すなわち端子20をプラスに、端子21をマイナスにする静電気が印加されると、電極6の領域5との接続角部あるいは島領域4の南部で電流集中がおこり、領域5が溶解したり、領域6と基板8との接合が破壊することがある。

第2図は、本発明の一実施例を示すもので、同図(a)はその等価回路図を、同図(b)はその構造断面図をそれぞれ示す。第2図においては、端子20-21間に第1図のダイオードD1と同じ構成のダイオードD2が接続されており、さらにPNPトランジスタT1が設けられ、このトランジスタT1のコレクタは端子20へ、エミッタは端子21へ、そしてベースは抵抗R1を介して端子20へそれぞれ接続され、端子20は抵抗R2を介して内部30へ接続されている。

かかる回路構成は第2図(b)により実現される。すなわち、島領域4にはN<sup>+</sup>領域5のほかにP<sup>+</sup>型領域9が設けられている。P<sup>+</sup>領域9上の絶縁膜1には2ヶ所に開孔が設けられ、N<sup>+</sup>領域5と接触する電極6は一方の開孔を通してP<sup>+</sup>領域9

れ、このダイオードD1により端子20-21間に印加される静電気を吸収して内部回路30の静電破壊を防止している。このダイオードD1は同図(b)で示される構造により形成される。すなわち、P型基板8上にN<sup>-</sup>型エピタキシャル層11を形成し、P<sup>+</sup>型絶縁層2によってこの層11は複数の島領域に分離される。一つの島領域4にはN<sup>+</sup>型領域5が設けられる。エピタキシャル層11の表面にはSiO<sub>2</sub>等の絶縁膜1が設けられ、所定の開孔が施されて例えばアルミニウム電極が設けられる。絶縁領域3に設けられた電極3は、島領域を電気的に分離するためのもので、接地端子21へ接続される。基板8と島領域4とによるPN接合で第1図のダイオードD1を構成するため、N<sup>+</sup>領域5に電極6が設けられ、この電極6は入力端子20へ接続されると共に、内部回路30内の抵抗R1の一端子に接続される。抵抗R1は他の島領域4'に形成されたP<sup>+</sup>型領域7により構成される。

しかしながら、かかる構成では、ダイオードD1を順バイアスするような極性の静電気が印加され

と接続される。P<sup>+</sup>領域9上の他方の開孔から電極10が取り出され、領域7へ接続されている。よって、N<sup>-</sup>島領域4と基板8又は領域2とでダイオードD2が構成され、P<sup>+</sup>領域9をコレクタ、N<sup>-</sup>島領域4をベースそして基板8をエミッタとするトランジスタT1が構成され、領域9で抵抗R1が構成され、そして島領域4で抵抗R2が構成される。

第2図に示された半導体装置に於いて、今、端子20が負電位、端子21が正電位となるような静電パルスが印加されると、まずダイオードD2に順方向電流Iが流れる。これによってN<sup>-</sup>島領域4の電位は、端子20-21間に加わる電位の中間電位にもちあがる。そこで、トランジスタT1が能動状態になり、電流I<sub>T</sub>を流す。この時、ダイオードD2に流れる電流はI<sub>T</sub>/h<sub>FE</sub> (h<sub>FE</sub>はトランジスタT1の電流増幅率)に低下し、ダイオードD2への電流集中を防げる。一方、トランジスタT1のコレクタ、すなわちP<sup>+</sup>領域9では、トランジスタ動作であるため、N<sup>-</sup>島領域4

との接合面の広範囲に亘ってキャリア注入が生じ、熱破壊を生ずる事はない。更に、内部回路Cに対しても、 $P^+$ 領域9が抵抗として働く為、アルミニウム電極配線10に加わる電圧は従来品よりも低下し、内部素子の保護能力が高まる。本発明による効果は、同一の $N^-$ 島領域4の面積を有する従来品と本発明による半導体集積回路とに於いて、本発明によれば約100Vの静電破壊耐圧向上を示した事で実証されている。

この様に、本発明による半導体集積回路の静電破壊防止用トランジスタを用いれば、チップ面積の増大をまねかずに、静電破壊耐圧の向上が計られる。特に、バイポーラトランジスタとMOSトランジスタが混在する場合には、工程を増す事なく改善できる。即ち、領域9は領域7と同時につくられ、領域9上の開孔も他のものと同時に形成されるからである。

尚、この構造は、第2図の様な場合の他に端子20-22間に於いて適用した場合、また端子20-21間、20-22間の両方を並用した場合も

適用できる。

#### 4. 図面の簡単な説明

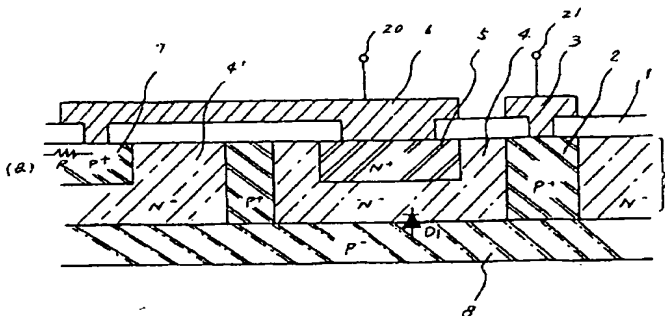
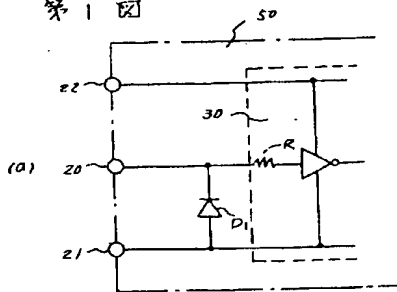
第1図は従来の静電破壊防止対策を有する半導体装置であって、同図(a)はその等価による静電破壊防止回路図、同図(b)はその構造断面図をそれぞれ示し、第2図は本発明の一実施例による半導体装置を示すもので、同図(a)はその等価回路図、同図(b)はその構造断面図である。

1……酸化膜、2…… $P^+$ 型不純物領域、3……アルミニウム電極、4…… $N^-$ 型不純物領域、5…… $N^+$ 型不純物領域、6……アルミニウム電極、7…… $P^+$ 型不純物領域、8…… $P^-$ 型半導体基板、9…… $P^+$ 型不純物領域、10……アルミニウム電極配線、50……集積回路、30……内部回路、20, 21, 22……外部端子。

代理人 弁理士 内 原 哲



第1図



第2図

